

This Page Is Inserted by IFW Operations
and is not a part of the Official Record

BEST AVAILABLE IMAGES

Defective images within this document are accurate representations of the original documents submitted by the applicant.

Defects in the images may include (but are not limited to):

- BLACK BORDERS
- TEXT CUT OFF AT TOP, BOTTOM OR SIDES
- FADED TEXT
- ILLEGIBLE TEXT
- SKEWED/SLANTED IMAGES
- COLORED PHOTOS
- BLACK OR VERY BLACK AND WHITE DARK PHOTOS
- GRAY SCALE DOCUMENTS

IMAGES ARE BEST AVAILABLE COPY.

**As rescanning documents *will not* correct images,
please do not report the images to the
Image Problem Mailbox.**

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 09-036310

(43)Date of publication of application : 07.02.1997

(51)Int.Cl.

H01L 27/04
H01L 21/822

(21)Application number : 07-178619

(71)Applicant : SONY CORP

(22)Date of filing : 14.07.1995

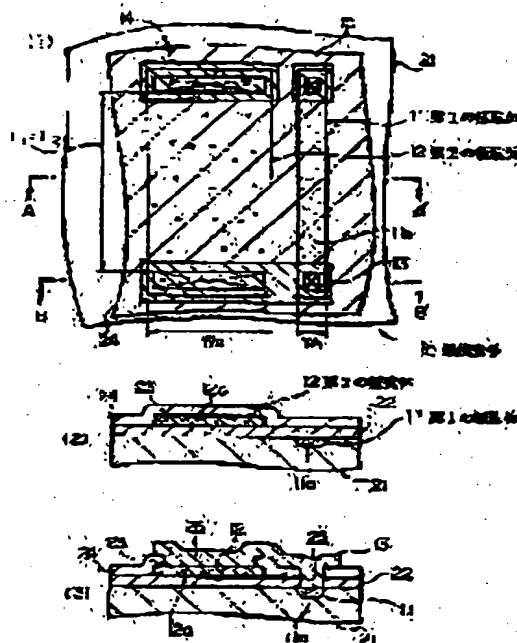
(72)Inventor : YASUSHIGE HIROAKI
MIWA HIROYUKI

(54) SEMICONDUCTOR DEVICE

(57)Abstract:

PROBLEM TO BE SOLVED: To provide a semiconductor device having a resistance element which can maintain a stable resistance value without depending temperature change.

SOLUTION: A first resistor 11 and a second resistor 12 wherein temperature coefficient is a 1-B2 and resistance value R2 is $R1=R2$ are connected in series and made a resistance element 10. Hence the absolute values of changing amounts of resistance values of the respective resistors which depend on temperature change are made equal. Thereby resistance value of the resistance element 10 which is a combined resistance of the first resistor 11 and the second resistor 12 dose not depend on temperature change and is kept constant.



LEGAL STATUS

[Date of request for examination]

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision of rejection]

[Date of requesting appeal against examiner's decision of rejection]

[Date of extinction of right]

①

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開平9-36310

(43) 公開日 平成9年(1997)2月7日

(51) IntCl⁹

H01L 27/04
21/822

識別記号

庁内整理番号

F I

H01L 27/04

技術表示箇所

P
R

審査請求 未請求 請求項の数 2 O L (全 11 頁)

(21) 出願番号

特願平7-176619

(22) 出願日

平成7年(1995)7月14日

(71) 出願人

000002185

ソニー株式会社

東京都品川区北品川6丁目7番35号

(72) 発明者

安茂 博幸

東京都品川区北品川6丁目7番35号 ソニ
ー株式会社内

(72) 発明者

三輪 浩之

東京都品川区北品川6丁目7番35号 ソニ
ー株式会社内

(74) 代理人

弁理士 船橋 國則

(54) 【発明の名称】 半導体装置

(57) 【要約】

【課題】 温度変化に依存せず安定した抵抗値を保つことができる抵抗素子を有する半導体装置を提供する。

【解決手段】 温度係数が $\alpha_1 = -\alpha_2$ であり、抵抗値 R_1 が $R_1 = R_2$ である第1の抵抗体11と第2の抵抗体12とを直列に接続させて抵抗素子10にすることで、温度変化に依存する各抵抗体の抵抗値の変化量の絶対値を等しくする。これによって第1の抵抗体11と第2の抵抗体12との合成抵抗になる抵抗素子10の抵抗値が温度変化に依存せず一定の値に保たれる。

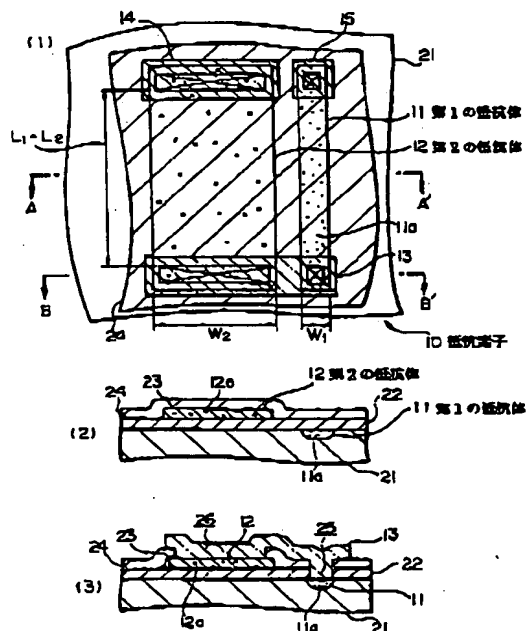


図1 実施例の半導体装置の要部を示す図

【特許請求の範囲】

【請求項1】 第1の抵抗体と、

前記第1の抵抗体と接合する状態で配置されるかまたは前記第1の抵抗体に接続されるもので、同一温度における抵抗値が当該第1の抵抗体とほぼ等しく、温度係数の符号が当該第1の抵抗体と逆でかつ温度係数の絶対値が当該第1の抵抗体とほぼ等しい第2の抵抗体と、からなる抵抗素子を備えたことを特徴とする半導体装置。

【請求項2】 請求項1記載の半導体装置において、

前記第1の抵抗体と前記第2の抵抗体とは、積層状態で配置されることを特徴とする半導体装置。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】 本発明は、抵抗素子を有する半導体装置に関する。

【0002】

【従来の技術】 近年、半導体装置の高集積化及び高性能化にともない、トランジスタのような受動素子だけではなく抵抗体のような能動素子においても、消費電力の低減、設計マージンの緩和及び無調整化等の点から高精度化が求められてきている。図9(1)には、抵抗素子を有する半導体装置の要部平面図を示し、図9(2)には、そのA-A'断面図を示した。

【0003】 これらの図に示すように、半導体装置に設けられる抵抗素子9には、例えば基板91上に酸化シリコン膜92を介して成膜されたポリシリコン膜93に不純物90aを拡散させてなる抵抗体90が用いられている。例えばシート抵抗値 $\rho_s = 2 \text{ k}\Omega/\square$ のP型抵抗の抵抗体90にしたい場合には、ポリシリコン膜93にBF₃を30keVの注入エネルギーで 4.5×10^{14} 個/cm²だけ導入し、このポリシリコン膜93を所定の抵抗幅Wと抵抗長Lとを有するようにエッチング加工したものを抵抗体90として用いる。この抵抗体90は、抵抗幅Wと抵抗長Lとシート抵抗値 ρ_s とから、所定の抵抗値を有するものになる。この抵抗体90を半導体装置に組み込む場合には、この抵抗体90を絶縁膜94で覆い、当該絶縁膜94に抵抗体90に連するコンタクトホール95を抵抗体90の両端に形成する。そして、このコンタクトホール95を埋め込む状態で2つの端子配線96形成する。

【0004】

【発明が解決しようとする課題】 しかし、上記のような抵抗素子を有する半導体装置には、以下のような課題があった。すなわち、上記のようにポリシリコン膜中に不純物を拡散させてなる抵抗体では、キャリア数及びキャリアの移動度が温度によって大きく変化する。例えば、上記シート抵抗 $\rho_s = 2 \text{ k}\Omega/\square$ 程度に設定したポリシリコン抵抗の温度係数は約 $-1300 \text{ ppm}/^\circ\text{C}$ であり、一般的な半導体装置の動作補償温度範囲は $-20^\circ\text{C} \sim 70^\circ\text{C}$ である。このことから、上記温度範囲では上記

抵抗体からなる抵抗素子の抵抗値が約 $\pm 6\%$ の範囲で変動する。

【0005】 上記のように抵抗素子の抵抗値がばらつくと、半導体装置の精度がばらつくだけではなく半導体装置の消費電力にばらつきが生じ、結果として半導体装置の消費電力が増大する。このため、半導体装置には、上記抵抗素子の温度変化による変動を補正するための回路を上記抵抗素子と別に組み込む場合がある。しかし、これは半導体装置の素子数を増大させ、半導体装置の高集積化を妨げる要因になる。

【0006】 そこで、本発明の半導体装置は温度変化に依存せず一定の抵抗値を保つことができる抵抗素子を有する半導体装置を提供することを目的とする。

【0007】

【課題を解決するための手段】 上記の課題を解決するための本発明の請求項1記載の半導体装置は、第1の抵抗体とこれに接合する状態で配置されるかまたはこれに接続される第2の抵抗体とからなる抵抗素子を備えている。第2の抵抗体は、同一温度における抵抗値が当該第1の抵抗体とほぼ等しく、温度係数の符号が当該第1の抵抗体と逆でかつ温度係数の絶対値が当該第1の抵抗体とほぼ等しいことを特徴としている。

【0008】 上記半導体装置では、第1の抵抗体とこれに接合する状態で配置されるかまたはこれに接続される第2の抵抗体とからなる抵抗素子を備えていることから、当該抵抗素子の抵抗値は第1の抵抗体の抵抗値と第2の抵抗体の抵抗値との合成抵抗になる。第1の抵抗体と第2の抵抗体とは、同一温度における抵抗値がほぼ等しく、温度係数の符号が逆でかつ温度係数の絶対値がほぼ等しいことから、温度変化によって第1の抵抗体と第2の抵抗体とは逆方向に同じ大きさだけ抵抗値が変化する。したがって、第1の抵抗体と第2の抵抗体との抵抗値がそれぞれの抵抗値の変化を補償しあうてそれぞれの抵抗値の変化を相殺する。このため、温度変化に起因する合成抵抗の変化はほぼ0になる。

【0009】

【発明の実施の形態】 以下、本発明の実施例を図面に基づいて説明する。図1(1)～(3)は、第1実施例の半導体装置の要部を示す図であり、先ずこれらの図と図2の温度係数とシート抵抗値との関係を示すグラフとを用いて第1実施例の半導体装置を説明する。尚、図1

(1)は半導体装置の要部平面図であり、図1(2)は当該平面図のA-A'断面図、図1(3)は当該平面図のB-B'断面図である。

【0010】 図に示すように、この半導体装置は、第1の抵抗体11と第2の抵抗体12とからなる抵抗素子10を備えたものである。第1の抵抗体11の一端と第2の抵抗体12の一端とは接続配線13で接続され、第1の抵抗体11の他端と第2の抵抗体12の他端とはそれぞれ端子配線14、15が接続され、これによって、

第1の抵抗体11と第2の抵抗体12とが直列に接続された状態になっている。

【0011】上記第1の抵抗体11は、例えば基板21の表面層に第1不純物11aを導入することによって形成された拡散層からなるものであり、実効的な抵抗長が L_1 、抵抗幅が W_1 に形成されたものである。ここで、実効的な抵抗長 L_1 とは、例えば第1の抵抗体11の両端部に達するように形成されたコンタクトホール間の長さとする。この第1の抵抗体11は、第1不純物11aの種類と導入量とによって、温度係数が α_1 、温度 t_0 におけるシート抵抗が ρ_{s01} に設定されたものであり、上記抵抗長 L_1 、抵抗幅 W_1 及びシート抵抗 ρ_{s01} から、温度 t_0 における抵抗値が R_{01} になるものである。

【0012】ここでは、例えば上記第1の抵抗体11は、シリコンからなる基板21に第1不純物11aとしてホウ素イオンを35keVの注入エネルギーで 5×10^{13} 個/cm²イオン注入した後、アニール処理を行うことによって上記第1不純物11aを活性化させてなる拡散層からなることとする。このように形成された第1の抵抗体11は、図2のグラフAの点a₁に示すように、温度係数 $\alpha_1 = 1300 \text{ ppm}$ 、 $t_0 = 25^\circ\text{C}$ におけるシート抵抗値 $\rho_{s01} = 600 \Omega/\square$ になり、 $t_0^\circ\text{C}$ における抵抗値 $R_{01} = 600 \Omega/\square \times L_1/W_1$ の各抵抗特性を有するものになる。

【0013】また、第2の抵抗体12は、例えば基板21上に酸化シリコン膜22を介して配置されている。この第2の抵抗体12は、例えばポリシリコン膜23に第2不純物12aを導入してなるものであり、実効的な抵抗長が L_2 、抵抗幅が W_2 に形成されたものである。この第2の抵抗体12は、第2不純物12aの種類と導入量とによって、温度係数が $\alpha_2 = -\alpha_1$ 、温度 t_0 におけるシート抵抗値が ρ_{s02} に設定され、さらに温度 t_0 における抵抗値が $R_{02} = R_{01}$ になるものである。

【0014】ここでは、例えば上記第2の抵抗体12は、膜厚150nmポリシリコン膜23に第2不純物12aとして2フッ化ホウ素イオンを30keVの注入エネルギーで 4.5×10^{14} 個/cm²イオン注入した後、アニール処理を行うことによって上記第2不純物12aを活性化させてなるものとする。このように形成された第2の抵抗体12は、図2のグラフBの点b₁に示すように、温度係数 $\alpha_2 = -1300 \text{ ppm}$ 、温度 t_0 におけるシート抵抗値が $\rho_{s02} = 2 \text{ k}\Omega/\square$ になる。また、例えばここではレイアウト上の問題から第2の抵抗体12の実効的な抵抗長が $L_2 = L_1$ に設定されていることとし、抵抗幅を $W_2 = (\rho_{s02}/\rho_{s01}) \times W_1$ にすることで、 $R_{02} = \rho_{s02} \times L_2/W_2 = R_{01}$ になるように設定されている。

【0015】これらの第1の抵抗体11と第2の抵抗体12とは絶縁膜24で覆われている。そして、この絶縁膜24と酸化シリコン膜22とに第1の抵抗体11に達

するコンタクトホール25と第2の抵抗体12に達するコンタクトホール26とが形成され。これらのコンタクトホール25、26を埋め込む状態で、上記接続配線13及び端子配線14、15が形成されている。

【0016】上記構成の抵抗素子10では、当該抵抗素子10の抵抗値 R が、第1の抵抗体11と第2の抵抗体12とを直列連結した場合の合成抵抗になる。ここで、第1の抵抗体11と第2の抵抗体12とは、同一温度 t_0 において抵抗値 $R_{01} = R_{02}$ であり、また温度係数 $\alpha_1 = -\alpha_2$ である。このことから、温度変化によって第1の抵抗体11の抵抗値 R_1 と第2の抵抗体12の抵抗 R_2 とは逆方向に同じ大きさだけ変化する。このため、直列連結した第1の抵抗体11と第2の抵抗体12との合成抵抗は温度変化によらず一定の値に保たれる。

【0017】したがって、上記抵抗素子10を有する半導体装置には、温度変化による抵抗値の変化を補償するための回路を設けることなく当該半導体装置の精度の向上を図ることが可能になり、また消費電力のばらつきを抑えて消費電力を低減することが可能になる。そして、上記半導体装置の高集積化を図ることができる。

【0018】図3(1)～(5)には、上記半導体装置の製造方法を示す。以下に、これらの図を用いて上記半導体装置の製造方法の一例を説明する。先ず、図3

(1)の第1工程では、基板21上に形成したレジストパターン(図示せず)をマスクに用いて、上記第1の抵抗体(11)を形成するための上記イオン注入を行い、シリコンからなる基板21の表面層に第1不純物11aを導入する。ここでは、第1の抵抗体(11)の実効的な抵抗長が L_1 、抵抗幅が W_1 になるように、上記レジストパターンを形成する。

【0019】次に、図3(2)に示す第2工程では、成膜温度を400℃に設定したCVD(Chemical Vapor Deposition)法によって、基板21の上面に酸化シリコン膜22を150～300nmの膜厚で成膜する。次いで、成膜温度を650℃に設定したCVD法によって、酸化シリコン膜22の上面に第2の抵抗体(12)となるポリシリコン膜23を150nmの膜厚で成膜する。その後、ポリシリコン膜23に対して第2の抵抗体(12)を形成するためのイオン注入を行い、第2不純物12aをポリシリコン膜23中に導入する。

【0020】次に、第2の抵抗体(12)の実効的な抵抗長が $L_2 = L_1$ になり、抵抗幅が $W_2 = (\rho_{s02}/\rho_{s01}) \times W_1$ になるように、ポリシリコン膜23をエッチング加工する。ここでは、例えばSF₆(6フッ化硫黄)とC₂Cl₃F₃(トリクロロトリフルオロエタン)ガスとを反応ガスとして用いた異方エッチングを行う。

【0021】上記のようにポリシリコン膜23をエッチング加工した後、図3(3)に示す第3工程では、ポリシリコン膜23を覆う状態で酸化シリコン膜22上に絶

膜24を300nmの膜厚で成膜する。この層間絶縁膜24は、例えば酸化シリコンからなるものとする。その後、1000℃で30分間のアニール処理を行い、第1不純物11a及び第2不純物12aを活性化させ、これによって基板21中の拡散層からなる第1の抵抗体11とポリシリコン膜23からなる第2の抵抗体12とを形成する。これらの第1の抵抗体11と第2の抵抗体12とは、上記のような抵抗特性を有するものになる。

【0022】次いで図3(4)に示す第4工程では、酸化シリコン膜22及び絶縁膜24に、第1の抵抗体11の上面に達するコンタクトホール25と第2の抵抗体12の上面に達するコンタクトホール26とを形成する。これらのコンタクトホール25、26は、第1の抵抗体11及び第2の抵抗体12の両端部にそれぞれ形成する。尚、ここでは一端部側のみを図示した。

【0023】次に、図3(5)に示す第5工程では、コンタクトホール25、26内を埋め込む状態で絶縁膜24上に導電層を成膜し、この導電層をパターンニングして第1の抵抗体11の一端と第2の抵抗体12の一端とを接続する接続配線13と、図1(1)で示した端子配線(14、15)とを形成する。以上によって、第1の抵抗体11と第2の抵抗体12とを直列に接続してなる上記抵抗素子10を形成する。

【0024】上記第1実施例では、2つの抵抗体を直列に接続してなる抵抗素子を例に取って説明した。しかし、本発明の半導体装置に設ける抵抗素子は、図4

(1)～(3)に示すように複数の抵抗体を並列に接続したものでも良い。以下、これらの図を用いて第2実施例の半導体装置の構成を説明する。尚、図4(1)は半導体装置の要部平面図であり、図4(2)は当該平面図のA-A'断面図、図4(3)は当該平面図のB-B'断面図である。

【0025】図に示すように、この半導体装置は、第1の抵抗体41と第2の抵抗体42と第3の抵抗体43とからなる抵抗素子40を備えたものである。第1の抵抗体41、第2の抵抗体42及び第3の抵抗体43の一端は端子配線44で接続され、第1の抵抗体41、第2の抵抗体42、及び第3の抵抗体43の他端は端子配線45で接続されている。このように第1の抵抗体41、第2の抵抗体42及び第3の抵抗体43を接続することで、第1の抵抗体41、第2の抵抗体42及び第3の抵抗体43が並列に接続された状態になっている。

【0026】上記第1の抵抗体41及び第2の抵抗体42は、上記第1実施例の第1の抵抗体と同様の拡散層からなるものであり、例えばそれぞれ実効的な抵抗長が L_1 、 L_2 、抵抗幅が W_1 、 W_2 に形成されたものである。第1の抵抗体41と第2の抵抗体42とは、第1不純物41aと第2の不純物42aの種類と導入量とによって、例えば温度係数が α_1 、 α_2 、温度 t_0 におけるシート抵抗が ρ_{s01} 、 ρ_{s02} に設定されたものである。

【0027】ここでは、例えば上記第1の抵抗体41及び第2の抵抗体42は、シリコンからなる基板21に膜厚50nmの酸化シリコン膜22を介して、第1不純物41a及び第2不純物42aとしてホウ素イオンを25keVの注入エネルギーで 5×10^{13} 個/cm²イオン注入した後、アニール処理を行うことによって上記第1不純物41a及び第2不純物42aを活性化させてなる拡散層からなることとする。このように形成された第1の抵抗体41及び第2の抵抗体42は、上記第1実施例の第1の抵抗体と同様に温度係数 $\alpha_1 = \alpha_2 = 1300$ ppm、温度 $t_0 = 25^\circ\text{C}$ におけるシート抵抗値 $\rho_{s01} = \rho_{s02} = 600 \Omega/\square$ 、温度 t_0 における抵抗値 $R_{01} = R_{02} = 600 \Omega/\square \times L_1/W_1$ の各抵抗特性を有するものになる。

【0028】また、上記第3の抵抗体43は、例えば基板21上に酸化シリコン膜22を介して配置されている。この第3の抵抗体43は、例えばポリシリコン膜23に第3不純物43aを導入してなるものであり、実効的な抵抗長が L_3 、抵抗幅が W_3 に形成されたものである。この第3の抵抗体43は、第3不純物43aの種類と導入量とによって、温度係数が $\alpha_3 = -\alpha_1 = -\alpha_2$ 、温度 t_0 におけるシート抵抗値が ρ_{s03} に設定され、さらに温度 t_0 における抵抗値 R_{03} が温度 t_0 における第1の抵抗体41と第2の抵抗体42との合成抵抗値 R_{0102} とほぼ等しい値のものである。

【0029】ここでは、例えば上記第3の抵抗体43は、膜厚650nmポリシリコン膜23に第3不純物43aとしてホウ素イオンを25keVの注入エネルギーで 5×10^{13} 個/cm²イオン注入した後、アニール処理を行うことによって上記第3不純物43aを活性化させてなる拡散層からなることとする。このように形成された第2の抵抗体42は、温度係数 $\alpha_3 = -1300$ ppm、温度 t_0 におけるシート抵抗値 $\rho_{s03} = 2 \text{ k}\Omega/\square$ になる。また、例えばここではレイアウト上の問題から第3の抵抗体43の実効的な抵抗長が $L_3 = L_1 = L_2$ に設定されていることとし、抵抗幅を $W_3 = \rho_{s03} \times (W_1/\rho_{s01} + W_2/\rho_{s02})$ にすることで、 $R_{03} = \rho_{s03} \times L_3/W_3 = R_{0102}$ になるように設定されている。

【0030】上記構成の抵抗素子40では、当該抵抗素子40の抵抗値 R が、第1の抵抗体41と第2の抵抗体42と第3の抵抗体43との合成抵抗になる。ここで、第1の抵抗体41及び第2の抵抗体42の温度係数 $\alpha_1 = \alpha_2$ に対して第3の抵抗体43の温度係数 $\alpha_3 = -\alpha_1 = -\alpha_2$ であり、同一温度 t_0 において各抵抗体の合成抵抗値及び抵抗値が $R_{0102} = R_{03}$ である。このことから、温度変化による第1の抵抗体41及び第2の抵抗体42の合成抵抗値の変化量と第3の抵抗体43の抵抗値の変化量とは、逆方向に同程度の大きさだけ変化する。このため、上記各抵抗値の変化量が相殺され、温度変化

7

による抵抗素子40の抵抗値の変化を抑制することが可能になる。

【0031】したがって、上記第1実施例と同様に、抵抗素子40を有する半導体装置には、温度変化による抵抗値の変化を補償するための回路を設ける必要はなく、半導体装置の高集積化が図られる。

【0032】図5(1)～(5)には、上記半導体装置の製造方法を示す。まず、図5(1)に示す第1工程では、CVD法によって、基板21の上面に酸化シリコン膜22を50nmの膜厚で成膜する。次いで、650℃のCVD法によって、酸化シリコン膜22の上面にポリシリコン膜23を150nmの膜厚で成膜する。次に、後の工程で形成する上記第3の抵抗体(43)の形状にポリシリコン膜23をエッチング加工する。

【0033】次に、図5(2)に示す第2工程では、酸化シリコン膜22上にレジストパターン51を形成する。このレジストパターン51は、エッチング加工したポリシリコン膜23を中心にしてその両脇に酸化シリコン膜22を所定幅で露出する状態で形成される。その後、このレジストパターン51をマスクに用いたイオン注入によって、ポリシリコン膜23に第3不純物43aを導入すると共に、基板21の表面側に第1不純物41a及び第2不純物42aとして第3不純物43aを導入する。

【0034】次に、図5(3)に示す第3工程では、レジストパターン(51)を除去した後、第3の抵抗体43を覆う状態で酸化シリコン膜22上に絶縁膜24を300nmの膜厚で成膜する。この絶縁膜24は酸化シリコンからなることとする。その後、1000℃で30分間のアニール処理を行い、第1不純物41a、第2不純物42a及び第3不純物43aを活性化させ、これによって、第1の抵抗体41、第2の抵抗体及び第3の抵抗体43を形成する。

【0035】次いで図5(4)に示す第4工程では、ここでは図示しないレジストパターンをマスクに用いた反応性イオンエッチング(Reactive Ion Etching; 以下、RIEと記す)によって、第1～第3の抵抗体41～43が底面に露出するように、絶縁膜24及び酸化シリコン膜22にコンタクトホール27を形成する。このコンタクトホール27は、第1～第3の抵抗体41～43の両端部に形成する。またここでは、第1の抵抗体41の側壁に絶縁膜24からなるサイドウォールを残すことによって、次の工程で形成される端子配線(44)のカバレッジ性を確保する。尚、ここでは一端部側のコンタクトホール27のみを図示した。

【0036】次に、図5(5)に示す第5工程では、コンタクトホール27内を埋め込む状態で絶縁膜24上に導電層を成膜し、この導電層をパターンニングして第1～第3の抵抗体41～43を接続する状態の端子配線44を形成する。

8

【0037】以上によって、第1の抵抗体41、第2の抵抗体42及び第3の抵抗体43を並列に接続してなる抵抗素子40が形成される。上記のようにして抵抗素子40を形成する場合には、MOSトランジスタのゲート電極の形成と同一工程で第3の抵抗体43を形成し、MOSトランジスタのソース拡散層及びドレイン拡散層の形成と同一工程で第1の抵抗体41及び第2の抵抗体42を形成することが可能である。したがって、MOSトランジスタの製造工程において、マスク工程を増加させることなく上記MOSトランジスタと同一基板上に上記抵抗素子40を形成することができる。

【0038】尚、上記第2工程でのイオン注入のみでは各抵抗体41～43の温度係数 $\alpha_1 \sim \alpha_3$ を所定値に合わせられない場合には、上記第1工程でポリシリコン膜23をエッチング加工する前に、予めポリシリコン膜23中にのみ第2の不純物71aを導入しておき、第2工程でのイオン注入で導入する不純物と合わせて各抵抗体41～43で所定の温度係数 $\alpha_1 \sim \alpha_3$ が得られるようにしても良い。

【0039】次に、図6(1)～(3)は、第3実施例の半導体装置の要部を示す図であり、これらの図と図2の温度係数とシート抵抗値との関係を示すグラフとを用いて第3実施例の半導体装置を説明する。尚、図6

(1)は半導体装置の要部平面図であり、図6(2)は当該平面図のA-A'断面図、図6(3)は当該平面図のB-B'断面図である。

【0040】図に示すように、第3実施例の半導体装置は、同一層で形成された抵抗パターンにそれぞれ異なる不純物を導入してなる第1の抵抗体61と第2の抵抗体62とからなる抵抗素子60を備えたものである。ここでは、例えば基板21上に酸化シリコン膜22を介して形成したポリシリコン膜23からなる抵抗パターンに第1不純物61aを導入してなる第1の抵抗体61と、同様の抵抗パターンに第2不純物62aを導入してなる第2の抵抗体62とを備えている。そして、第1の抵抗体61の一端と第2の抵抗体62の一端とは接続配線63で接続され、第1の抵抗体61の他端と第2の抵抗体62の他端とはそれぞれ端子配線64、65が接続されている。これによって第1の抵抗体61と第2の抵抗体62とが直列に接続された状態になっている。

【0041】上記第1の抵抗体61は、実効的な抵抗長が L_1 、抵抗幅が W_1 に形成されたものである。この第1の抵抗体61は、第1不純物61aの種類と導入量とによって、温度係数が α_1 、温度 t_0 におけるシート抵抗が ρ_{so1} に設定されたものであり、上記抵抗長 L_1 、抵抗幅 W_1 及びシート抵抗 ρ_{so1} から、温度 t_0 における抵抗値が R_{01} になるものである。

【0042】ここでは、例えば上記第1の抵抗体61は、膜厚150nmのポリシリコン膜23に第1不純物61aとしてヒ素イオンを40keVの注入エネルギー

で 1×10^{15} 個/cm² イオン注入した後、アニール処理を行うことによって上記第1不純物61aを活性化させてなるものとする。このように形成された第1の抵抗体61は、グラフCの点c₁に示すように、温度係数 $\alpha_1 = 700$ ppm, $t_0 = 25^\circ\text{C}$ におけるシート抵抗値 $\rho_{s01} = 250 \Omega/\square$, t_0 における抵抗値 $R_{01} = 250 \Omega/\square \times L_1/W_1$ の各抵抗特性を有するものになる。

【0043】また、第2の抵抗体62は、実効的な抵抗長 L_2 , 抵抗幅が W_2 に形成されたものである。この第2の抵抗体62は、第2不純物62aの種類と導入量とによって、温度係数が $\alpha_2 = -\alpha_1$, 温度 t_0 におけるシート抵抗が ρ_{s02} に設定され、さらに温度 t_0 における抵抗値が $R_{02} = R_{01}$ になるものである。

【0044】ここでは、例えば上記第2の抵抗体62は、ポリシリコン膜23からなる抵抗パターンに部分に第2不純物62aとして2フッ化ホウ素イオンを30 keVの注入エネルギーで 1.3×10^{15} 個/cm² イオン注入した後、アニール処理を行うことによって上記第2不純物62aを活性化させてなるものとする。このように形成された第2の抵抗体62は、グラフBの点b₂に示すように、温度係数 $\alpha_2 = -700$ ppm, 温度 t_0 におけるシート抵抗値 $\rho_{s02} = 900 \Omega/\square$ になる。また、例えばここではレイアウト上の問題から第2の抵抗体62の実効的な抵抗長が $L_2 = L_1$ に設定されていることとし、抵抗幅 $W_2 = (\rho_{s02}/\rho_{s01}) \times W_1$ にすることで、 $R_{02} = \rho_{s02} \times L_2/W_2 = R_{01}$ になるように設定されている。

【0045】上記構成の抵抗素子60では、当該抵抗素子60の抵抗値Rが、第1の抵抗体61と第2の抵抗体62とを直列連結した場合の合成抵抗になる。ここで、第1の抵抗体61と第2の抵抗体62とは、上記第1実施例の抵抗素子と同様に同一温度 t_0 において抵抗値 $R_{01} = R_{02}$ であり、また温度係数 $\alpha_1 = -\alpha_2$ である。これらのことから、抵抗素子60は、上記第1実施例の抵抗素子と同様に温度変化によらず一定の抵抗値に保たれるため、この抵抗素子60を有する半導体装置では補償回路を設けることなく半導体装置の精度と消費電力の安定化が図られ、当該半導体装置の高集積化が図られる。

【0046】次に、図7(1)~(3)は、第4実施例の半導体装置の要部を示す図であり、以下に、これらの図を用いて第4実施例の半導体装置を説明する。尚、図7(1)は半導体装置の要部平面図であり、図7(2)は当該平面図のA-A'断面図、図7(3)は当該平面図のB-B'断面図である。

【0047】図に示すように、この半導体装置は、第1の抵抗体71と第2の抵抗体72とからなる抵抗素子70を備えたものであり、第2の抵抗体72は第1の抵抗体71に接合する状態でこの上部に積層されるものである。そして、第2の抵抗体72の両端にはそれぞれ端子

配線74, 75が接続され、これによって抵抗素子70が第1の抵抗体71と第2の抵抗体72とを並列に接続してなるものになっている。

【0048】上記第1の抵抗体71は、例えば上記第1実施例で示した第1の抵抗体と同様の拡散層からなるものであり、抵抗長 L_1 , 抵抗幅 W_1 で、温度係数が α_1 , 温度 t_0 におけるシート抵抗が ρ_{s01} に設定されたものであり、温度 t_0 における抵抗値が R_{01} になるものである。また、第2の抵抗体72は、例えば上記第1実施例で示した第2の抵抗体と同様のポリシリコン膜からなるものであり、温度係数が $\alpha_2 = -\alpha_1$, 温度 t_0 におけるシート抵抗が ρ_{s02} に設定され、さらに抵抗長 $L_2 = L_1$, 抵抗幅 $W_2 = (\rho_{s02}/\rho_{s01}) \times W_1$ に形成されることで温度 t_0 における抵抗値が $R_{02} = R_{01}$ になるものである。

【0049】上記のように構成された抵抗素子70は、上記抵抗特性を有して並列に接続されている第1の抵抗体71と第2の抵抗体72とが積層された構造になっていることから、温度変化に依存せず安定した抵抗値に保たれる上記抵抗素子70の配置面積を縮小することができ、半導体装置の集積度をさらに向上させることが可能になる。

【0050】図8(1)~(5)には、上記半導体装置の製造方法を示す。以下に、これらの図を用いて上記半導体装置の製造方法の一例を説明する。先ず、図8

(1)に示す第1工程では、CVD法によって、基板21の上面に酸化シリコン膜22を100 nmの膜厚で成膜する。次に、ここでは図示しないレジストパターンをマスクに用いたエッチングによって、酸化シリコン膜22に幅が W_1 で長さが L_1 以上の孔パターン22aを形成する。

【0051】次いで、650°CのCVD法によって、孔パターン22a内を埋め込む状態で、酸化シリコン膜22の上面にポリシリコン膜23を150 nmの膜厚で成膜する。その後、上記第1実施例と同様のイオン注入によって、ポリシリコン膜23に上記第1実施例で記したと同様の第2不純物72aを導入する。次に、上記第1実施例と同様にしてポリシリコン膜23を上記第2の抵抗体(72)の形状にエッチング加工する。

【0052】その後、図8(2)に示す第2工程では、上記第1実施例と同様に、ポリシリコン膜23を覆う状態で酸化シリコン膜22上に絶縁膜24を成膜した後、ポリシリコン膜23中の第2不純物72aの活性化アニール処理を行うことによって第2の抵抗体72を形成する。また、このアニール処理では、第2の抵抗体72中の第2不純物72aを第1不純物61aとして基板21中に拡散させ、基板21の表面側に第1不純物71aを導入してなる第1の抵抗体71を形成する。

【0053】上記のようにして、第1の抵抗体71と第2の抵抗体72とを形成した後、図8(3)に示す第3

工程では、ここでは図示しないレジストパターンをマスクに用いた絶縁膜 24 の R I E によって、第 2 の抵抗体 72 の上面に建するコンタクトホール 26 を第 2 の抵抗体 72 の両端部にそれぞれ形成する。尚、ここでは一端部側のコンタクトホール 26 のみを図示した。

【0054】次に、図 8 (4) に示す第 4 工程では、コンタクトホール 26 を埋め込む状態で酸化シリコン膜 22 上に導電層を成膜し、この導電層をパターンングして第 2 の抵抗体 72 の両端にそれぞれ接続する端子配線 74 (75) を形成する。

【0055】以上によって、第 1 の抵抗体 71 上に第 2 の抵抗体 72 を積層させてなる抵抗素子 70 が形成される。上記のようにして抵抗素子 70 を形成する場合には、例えばダブルポリシリコン構造のバイポーラトランジスタのベース電極形成工程と同一工程で第 2 の抵抗体 72 を形成し、上記バイポーラトランジスタの外部ベース拡散層の形成と同一工程で第 1 の抵抗体 71 を形成することが可能である。したがって、抵抗素子 71 は、上記バイポーラトランジスタの製造工程においてマスク工程を増加させることなく当該バイポーラトランジスタと同一基板上に形成することが可能である。

【0056】尚、上記第 2 工程で第 2 の抵抗体 72 から因相拡散させた不純物のみでは第 1 の抵抗体 72 の温度係数 α_1 を所定値に合わせ込めない場合には、上記第 1 工程で酸化シリコン膜 22 に孔パターン 22a を形成した後、酸化シリコン膜 22 をマスクに用いたイオン注入によって予め基板 21 中に第 1 の不純物 71a を導入しておき、因相拡散させた不純物と合わせて所定の温度係数 α_1 が得られるようにしても良い。

【0057】上記第 4 実施例では、第 1 の抵抗体 71 と第 2 の抵抗体 72 とが接合する状態で第 1 の抵抗体 71 に第 2 の抵抗体 72 を積層した場合を例に取った。しかし、第 1 の抵抗体 71 と第 2 の抵抗体 72 とは、接合されていなくても接続状態にあつてかつ積層されていれば、上記第 4 実施例と同様に半導体装置の高集積化を図ることが可能である。

【0058】上記各実施例で用いる第 1 ～第 3 の抵抗体は、それぞれの抵抗特性が上記各実施例で示したような

抵抗特性を有するものであれば、拡散層や不純物を拡散させたポリシリコンに限定されるものではない。また、同様に、第 1 ～第 3 の抵抗体に拡散させる第 1 ～第 3 不純物も上記に限定されるものではない。

【0059】

【発明の効果】以上説明したように本発明の半導体装置によれば、同一温度における抵抗値がほぼ等しく、温度係数の符号が逆でかつ温度係数の絶対値がほぼ等しい第 1 の抵抗体と第 2 の抵抗体とを接合または接続させた抵抗素子を設けることによって、温度変化に依存せず一定の抵抗値を確保できる抵抗素子を半導体装置に組み込むことが可能になる。したがって、温度変化による抵抗素子の抵抗値の変化を補償する回路を半導体装置に設けることなく半導体装置の精度を確保することが可能になり、半導体装置の高集積化を図ることができる。

【図面の簡単な説明】

【図 1】第 1 実施例の半導体装置の要部を示す図である。

【図 2】温度係数とシート抵抗値との関係を示すグラフである。

【図 3】第 1 実施例の半導体装置の製造方法を示す図である。

【図 4】第 2 実施例の半導体装置の要部を示す図である。

【図 5】第 2 実施例の半導体装置の製造方法を示す図である。

【図 6】第 3 実施例の半導体装置の要部を示す図である。

【図 7】第 4 実施例の半導体装置の要部を示す図である。

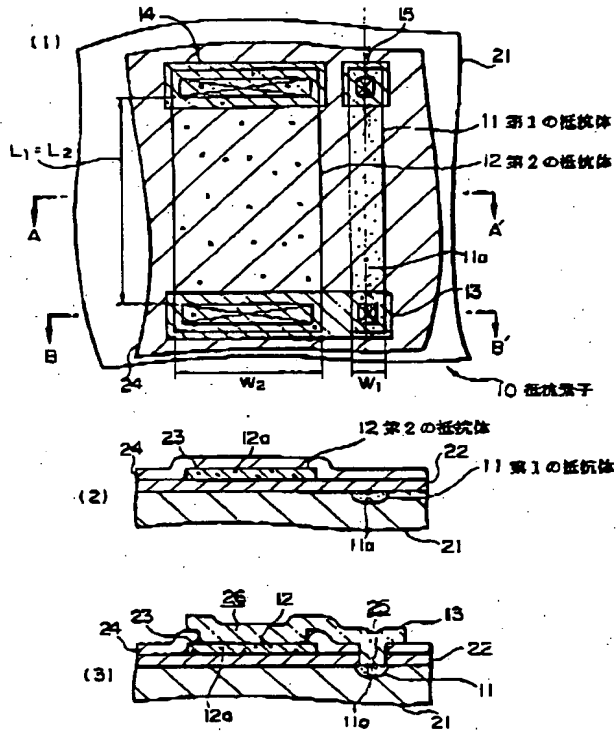
【図 8】第 4 実施例の半導体装置の製造方法を示す図である。

【図 9】従来の半導体装置の要部を示す図である。

【符号の説明】

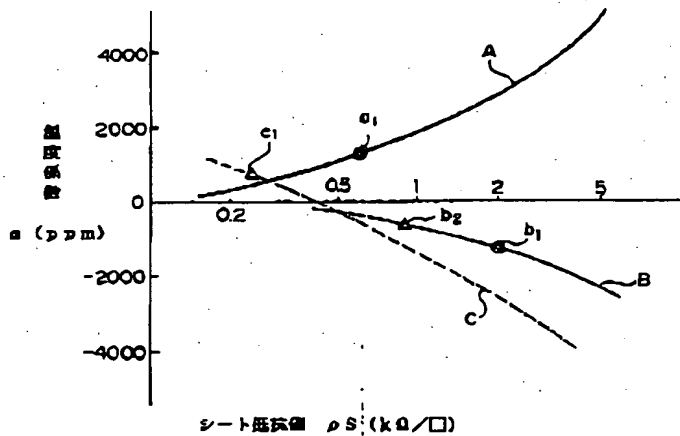
- 10, 40, 60, 70 抵抗素子
- 11, 41, 61, 71 第 1 の抵抗体
- 12, 42, 62, 72 第 2 の抵抗体
- 43 第 3 の抵抗体

【図1】



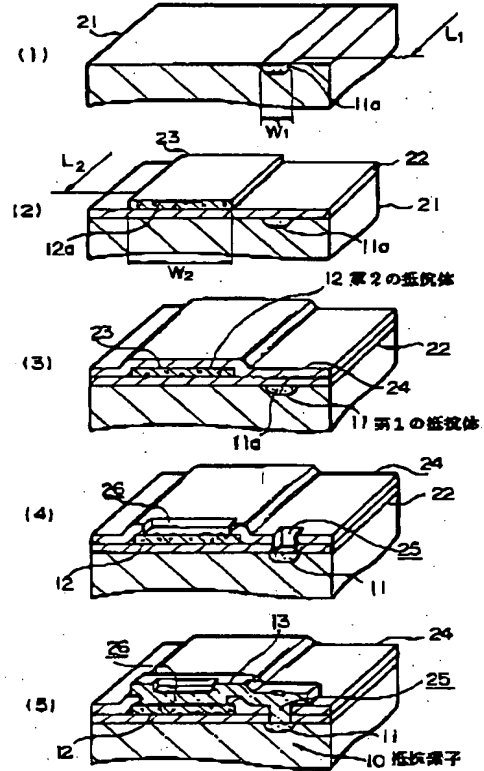
第1実施例の半導体装置の要部を示す図

【図2】



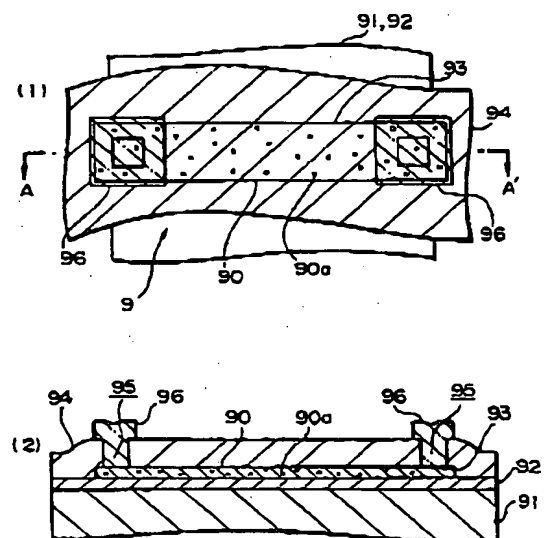
温度係数とシート抵抗値との関係を示すグラフ

【図3】



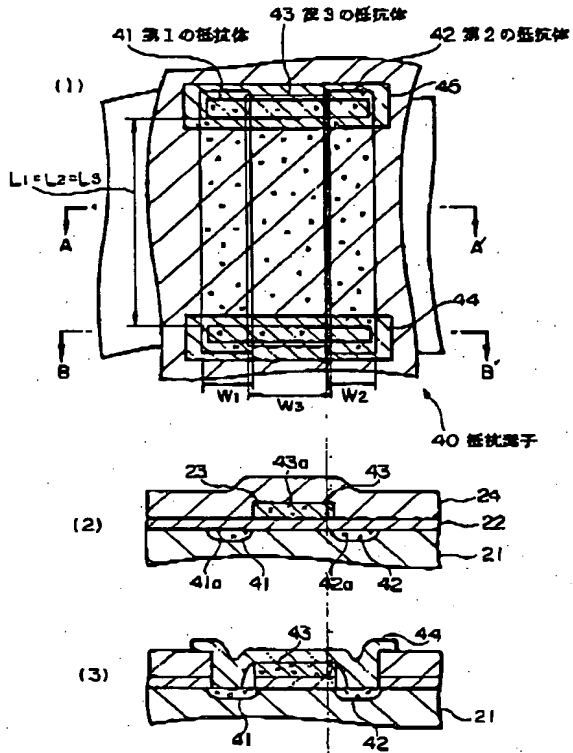
第1実施例の半導体装置の製造方法を示す図

【図9】



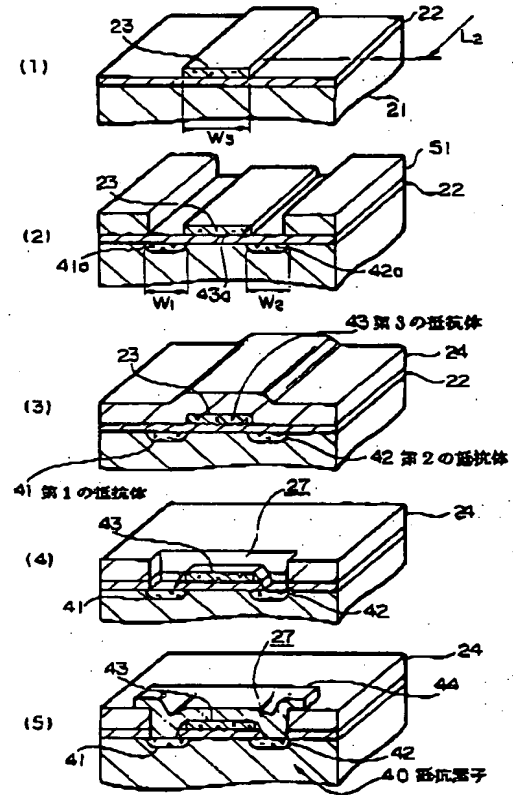
従来の半導体装置の要部を示す図

【図4】



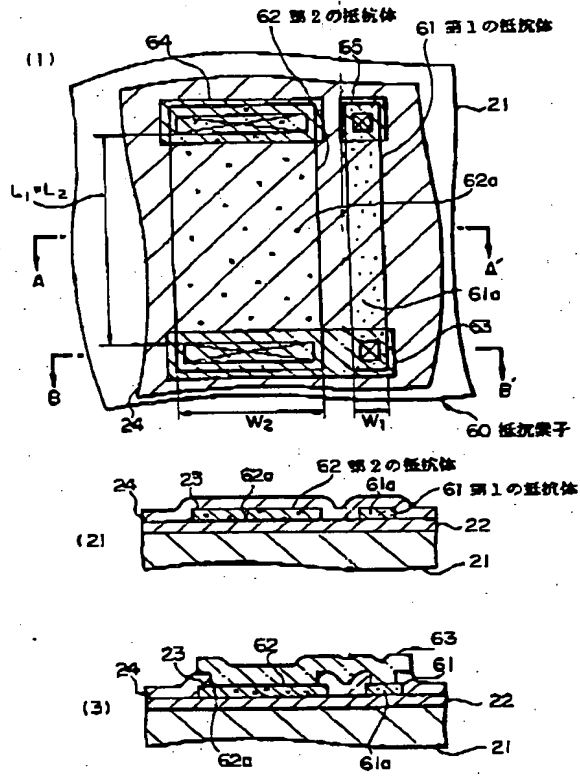
第2実施例の半導体装置の要部を示す図

【図5】



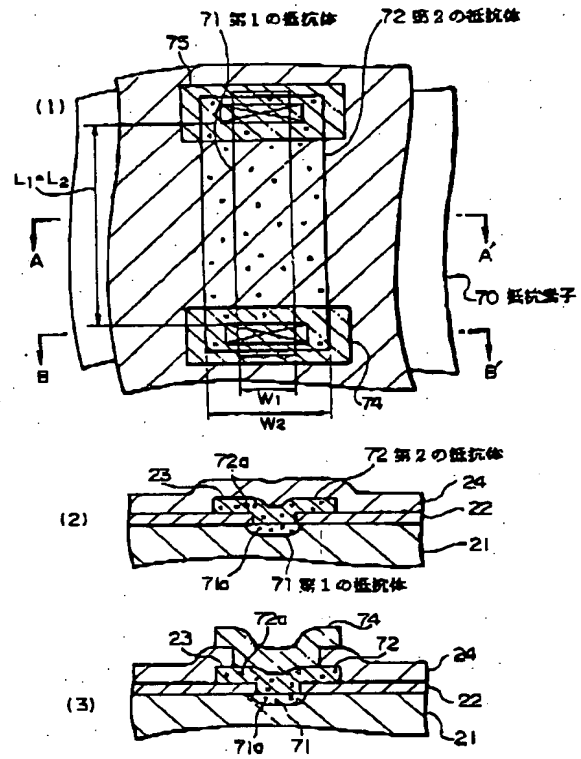
第2実施例の半導体装置の製造方法を示す図

【図6】



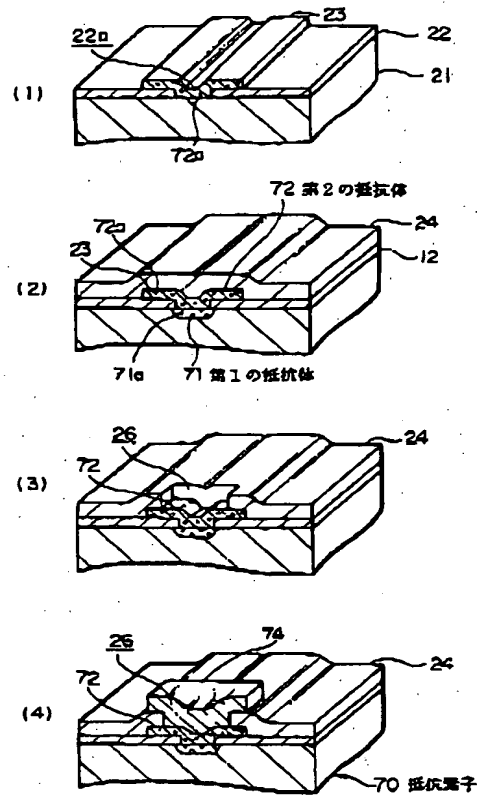
第3実施例の半導体装置の要部を示す図

【図7】



第4実施例の半導体装置の要部を示す図

【図8】



第4実施例の半導体装置の製造方法を示す図